

Docket No.: K-0343

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Sung Ju YOON, Sung Chun CHOI and Insook LEE :

Filed: November 30, 2001

For: PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 2000-84713 filed December 28, 2001

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440
Date: November 30, 2001
DYK/cah



JC973 U.S. PTO
09/996714
11/30/01



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2000년 제 84713 호
Application Number PATENT-2000-0084713

출원 년 월 일 : 2000년 12월 28일
Date of Application DEC 28, 2000

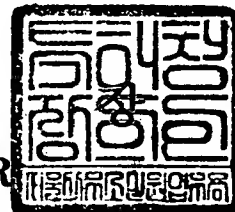
출원인 : 엘지전자주식회사
Applicant(s) LG ELECTRONICS INC.



2001 년 10 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.12.28
【발명의 명칭】	플라즈마 디스플레이 패널 및 그 구동방법
【발명의 영문명칭】	Plasma display Panel and Driving Method Thereof
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001250-8
【발명자】	
【성명의 국문표기】	윤성주
【성명의 영문표기】	Y00N, Seong-Ju
【주민등록번호】	681210-2000310
【우편번호】	122-043
【주소】	서울특별시 은평구 불광3동 480-370
【국적】	KR
【발명자】	
【성명의 국문표기】	최성천
【성명의 영문표기】	CHOI, Sung Chun
【주민등록번호】	651018-1345420
【우편번호】	431-058
【주소】	경기도 안양시 동안구 달안동 셋별 한양아파트 301-701
【국적】	KR
【발명자】	
【성명의 국문표기】	이인숙
【성명의 영문표기】	LEE, In-Sook
【주민등록번호】	610607-2490412

【우편번호】 427-040
【주소】 경기도 과천시 별양동 주공아파트 505-306
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김영호 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 1 면 1,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 6 항 301,000 원
【합계】 331,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 방전효율을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널에 관한 것이다.

본 발명의 플라즈마 디스플레이 패널은 상부기판의 주변부에 형성되는 서스테인전극쌍과, 상부기판의 중앙부에 형성되는 하나의 트리거전극을 구비한다.

【대표도】

도 6

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널 및 그 구동방법{Plasma display Panel and Driving Method Thereof}

【도면의 간단한 설명】

도 1은 종래의 3전극 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 도 1에 도시된 플라즈마 디스플레이 패널의 서스테인 방전을 나타내는 단면도.

도 3은 종래의 5전극 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 4는 도 3에 도시된 플라즈마 디스플레이 패널에 인가되는 구동파형을 나타내는 파형도.

도 5는 도 3에 도시된 플라즈마 디스플레이 패널의 서스테인 방전을 나타내는 단면도

도 6은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널을 나타내는 사시도.

도 7은 도 6에 도시된 플라즈마 디스플레이 패널의 서스테인기간에 인가되는 구동파형을 나타내는 파형도.

도 8a 및 8b는 도 7에 도시된 구동파형에 의해 일어나는 서스테인 방전을 나타내는 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

10,30,50 : 상부기관 12Y,32Y : 주사/서스테인전극

12Z,32Z : 공통서스테인전극 14,22,36,44,56,64 : 유전체층

16,38,58 : 보호막 18,40,60 : 하부기관

20X,42X,62X : 어드레스전극 24,46,66 : 격벽

26,48,68 : 형광체층 34Y,34Z,54T : 트리거전극

52Y,52Z : 트리거전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것으로 특히, 방전효율을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

<17> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 함)은 가스 방전에 의해 발생하는 진공 자외선이 형광체를 여기시킬 때 형광체로부터 가시광선

이 발생하는 것을 이용한 표시장치이다. PDP는 지금까지 표시수단의 주종을 이루어왔던 음극선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명 대형화면의 구현이 가능하다는 점등의 장점이 있다. PDP는 매트릭스 형태로 배열된 다수의 방전셀들로 구성되며, 하나의 방전셀은 화면의 한 화소를 이루게 된다.

<18> 도 1은 종래의 3전극 교류 면방전형 PDP의 방전셀 구조를 도시한 사시도이다.

<19> 도 1을 참조하면, 종래의 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(20X)을 구비한다.

주사/서스테인전극(12Y)과 공통서스테인전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방전 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(20X)은 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되

어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상부기관(10)/하부기관(18)과 격벽(24) 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.

<20> 이러한 교류 면방전형 PDP는 화상의 계조(Gray Level)를 표현하기 위하여 한 프레임을 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 표현하는 서스테인기간으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들로 나누어지게 된다. 아울러, 8개의 서브필드들 각각은 어드레스기간과 서스테인기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인기간은 각 서브필드에서 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인기간이 달라지게 되므로 화상의 계조를 표현할 수 있게 된다.

<21> 여기서, 리셋기간에는 주사/서스테인전극(12Y)에 리셋 펄스가 공급되어 리셋 방전이 일어난다. 어드레스 기간에는 주사/서스테인전극(12Y)에 주사펄스가 공급됨과 아울러 어드레스전극(20X)에 데이터 펄스가 공급되어 두 전극(12Y, 20X) 간에 어드레스 방전이 일어난다. 어드레스 방전시에는 상/하부 유전체층(14, 22)에 벽전하가 형성된다. 서스테인기간에는 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)에 교번적으로 공급되는 교류신호에 의해 두 전극(12Y, 12Z) 간에 서스테인 방전이 일어난다.

<22> 하지만, 이와 같은 종래의 교류 면방전 PDP는 서스테인 방전공간이 상부기판(10)의 중앙에 집중되어 방전공간의 활용도가 떨어진다. 즉, 도 2와 같이 서로 좁은 간격으로 상부기판(10)상에 형성된 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)간에 서스테인 방전이 일어나기 때문에 방전면적이 축소되어 발광 효율이 저하되는 문제점이 있다. 이때, 방전면적을 넓히기 위하여 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)을 서로 넓은 간격으로 형성하면 서스테인 방전을 일으키기 위하여 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)에 높은 구동전압을 인가해야 한다. 즉, 서스테인 방전을 위하여 많은 소비전력이 소모되게 되어 PDP이 구동효율이 저하되게 된다.

<23> 이와 같은 문제점을 해결하기 위하여 도 3에 도시된 바와 같은 5 전극 교류 면방전형 PDP가 제안되었다.

<24> 도 3은 종래의 5 전극 교류 면방전형 PDP의 방전셀 구조를 도시한 사시도이다.

<25> 도 3을 참조하면, 종래의 5 전극 교류 면방전형 PDP는 방전셀의 중앙부에 위치하게끔 상부기판(30) 상에 형성된 제 1 및 제 2 트리거전극(34Y, 34Z)과, 방전셀의 가장자리에 위치하게끔 상부기판(30) 상에 형성된 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)과, 트리거전극(34Y, 34Z)들과 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)들과 직교되는 방향으로 하부기판(40)의 중앙부에 형성된 어드레스 전극(42X)을 구비한다. 주사/서스테인전극(32Y), 제 1 트리거전극(34Y), 제 2 트리거전극(34Z) 및 공통서스테인전극(32Z)이 나란하게 형성된 상부기판(30)에는 상부 유전체층(36)과 보호막(38)이 적층된다. 어드레스전

극(42X)이 형성된 하부기판(40) 상에는 하부 유전체층(44) 및 격벽(46)이 형성되며, 하부 유전체층(44)과 격벽(46) 표면에는 형광체층(48)이 도포된다. 방전셀 중앙부에 좁은 간격으로 형성된 트리거 전극들(34Y, 34Z)은 서스테인 기간 중 교류펄스를 공급받아 서스테인 방전을 개시하기 위해 사용된다. 방전셀 가장자리에 넓은 간격으로 형성된 주사/서스테인전극(32Y) 및 공통서스테인전극(32Z)은 서스테인 기간 중 교류펄스를 공급받아 트리거 전극들(34Y, 34Z) 간에 방전이 개시된 다음 플라즈마 방전을 유지시키기 위해 사용된다. 이와 같은 5전극 PDP를 구동하기 위하여 도 4에 도시된 파형이 인가된다.

<26> 도 4를 참조하면, 종래의 5전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 표현하기 위하여 한 프레임을 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 표현하는 서스테인 기간으로 나뉘어진다. 리셋 기간에는 방전셀의 제 2 트리거전극(Tz)에 리셋 펄스가 공급되어 방전셀 초기화를 위한 리셋 방전이 일어난다. 이때, 어드레스전극(X)에는 오방전을 방지하기 위한 직류전압이 공급된다. 어드레스 기간에는 제 1 트리거전극(Ty)에 주사펄스(C)를 순차적으로 공급함과 아울러 주사펄스(C)에 동기된 데이터 펄스(Va)를 어드레스전극(X)에 공급한다. 이때, 데이터 펄스(Va)가 공급된 방전셀에서는 어드레스 방전이 일어난다. 서스테인 기간에는 제 1 트리거전극(Ty) 및 주사/서스테인전극(Sy)과 제 2 트리거전극(Tz) 및 공통서스테인전극(Sz) 간에 교번적으로 서스테인펄스를 인가된다. 이때, 트리거전극들(Ty,

Tz)에 인가되는 전압(V_t)은 주사/서스테인전극(Sy) 및 공통서스테인전극(Sz)에 인가되는 전압(V_s) 보다 낮은 레벨을 갖는다. 서스테인 기간에 어드레스전극(X)에는 오방전 방지를 위한 직류전압이 공급된다.

<27> 서스테인 방전과정을 도 5를 참조하여 상세히 설명하기로 한다.

<28> 서스테인 펄스가 제 1 트리거전극(T_y), 주사/서스테인전극(Sy), 제 2 트리거전극(T_z) 및 공통서스테인전극(Sz)에 인가되면, 먼저 제 1 트리거전극(T_y)과 제 2 트리거전극(T_z)간에 트리거방전이 일어난다. 제 1 트리거전극(T_y)과 제 2 트리거전극(T_z)간에 트리거방전이 일어난 후 제 2 트리거전극(T_z)과 주사/서스테인전극(Sy) 또는 제 1 트리거전극(T_y)과 공통서스테인전극(Sz) 간에 전이방전이 일어난다. 이와 같은 전이방전에 의해 제 1 트리거전극(T_y)과 제 2 트리거전극(T_z)간에 발생하는 트리거방전이 주사/서스테인전극(Sy) 및 공통서스테인전극(Sz)간의 서스테인 방전으로 전이된다. 즉, 전이방전이 발생된 후 주사/서스테인전극(Sy) 및 공통서스테인전극(Sz) 간에 서스테인 방전이 일어난다. 이때, 주사/서스테인전극(Sy) 및 공통서스테인전극(Sz)간의 간격이 크더라도 전이방전에 의해 발생한 프라이밍 하전입자에 의해 비교적 낮은 전압레벨의 서스테인 펄스로도 방전을 일으킬 수 있게된다. 이러한 방법에 의해 개시전압의 상승을 억제하면서도 방전경로가 긴 서스테인 방전을 일으킬 수 있다.

<29> 이와 같이 동작하는 5전극 PDP에서 전이방전의 경로는 서스테인 방전경로의 절반에 해당하게 된다. 즉, 서스테인 방전경로의 절반에 해당하는 전이방전이 일어나기 위해서는 트리거전극들(T_y, T_z)에 높은 전압이 인가되어야 한다. 트리거전

극들(T_y, T_z)에 인가되는 높은 전압에 의해 강한 전이방전이 일어나게 되고, 이러한 전이방전에 의해 생성된 벽전하들은 주사/서스테인전극(S_y) 또는 공통서스테인전극(S_z)의 표면에 축적된다. 주사/서스테인전극(S_y) 또는 공통서스테인전극(S_z)에 축적되는 벽전하에 의해 두 유지전극간에 걸린 전압이 더 낮아져서 휘도에 기여하는 서스테인방전이 약하게 일어나게 되어 PDP의 발광효율이 저하된다.

【발명이 이루고자 하는 기술적 과제】

<30> 따라서, 본 발명의 목적은 방전효율을 향상시킬 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법을 제공하는데 있다.

【발명의 구성 및 작용】

<31> 상기 목적을 달성하기 위하여 본 발명의 플라즈마 디스플레이 패널은 상부기관의 주변부에 형성되는 서스테인전극쌍과, 상부기관의 중앙부에 형성되는 하나의 트리거전극을 구비한다.

<32> 본 발명의 플라즈마 디스플레이 패널의 구동방법은 리셋기간에 상부기관의 중심부에 형성되는 트리거전극에 리셋펄스가 공급되는 단계와, 어드레스기간에 트리거전극에 주사펄스가 공급되는 단계와, 어드레스기간에 상부기관과 대향되는 하부기관에 형성되는 어드레스전극에 주사펄스에 동기되는 데이터펄스가 공급되는 단계와, 서스테인기간에 상부기관의 주변부에 형성되는 서스테인전극쌍에 서

스테인펠스가 교번적으로 인가되는 단계와, 서스테인기간에 상기 트리거전극에 트리거펄스가 인가되는 단계를 포함한다.

<33> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<34> 이하, 도 6 내지 도 8b를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<35> 도 6은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도이다.

<36> 도 6을 참조하면, 본 발명의 실시예에 의한 PDP는 방전셀의 가장자리에 위치하게끔 상부기관(50) 상에 형성된 제 1 서스테인전극(52Y) 및 제 2 서스테인전극(52Z)과, 제 1 서스테인전극(52Y) 및 제 2 서스테인전극(52Z)의 사이에 형성되는 트리거전극(54T)과, 제 1 및 제 2 서스테인전극(52Y, 52Z) 및 트리거전극(54T)들과 직교되는 방향으로 하부기관(60)의 중앙부에 형성되는 어드레스전극(62X)을 구비한다. 트리거전극(54T), 제 1 및 제 2 서스테인전극(52Y, 52Z)이 나란하게 형성된 상부기관(50)에는 상부 유전체층(56)과 보호막(58)이 적층된다. 어드레스전극(62X)이 형성된 하부기관(60) 상에는 하부 유전체층(64) 및 격벽(66)이 형성되며, 하부 유전체층(64) 및 격벽(66)의 표면에는 형광체층(68)이 도포된다. 제 1 및 제 2 서스테인전극(52Y, 52Z)과 인접되게 형성되는 트리거전극(54T)은 서스테인기간 중 교류펄스를 공급받아 인접되게 형성된 제 1 서스테인전극(52Y) 또는 제 2 서스테인전극(52Z)과 트리거방전을 일으킨다. 방

전셀 가장자리에 형성된 제 1 및 제 2 서스테인전극(52Y, 52Z)은 트리거방전이 개시된 다음 플라즈마 방전을 유지시키기 위해 사용된다.

<37> 본 발명의 실시예에 의한 PDP는 화상의 제조를 표현하기 위하여 한 프레임을 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋기간, 방전셀을 선택하기 위한 어드레스기간 및 방전횟수에 따라 제조를 표현하는 서스테인 기간으로 나누어진다. 리셋기간에는 방전셀의 트리거전극(54T)에 리셋 펄스가 공급되어 방전셀 초기화를 위한 리셋 방전이 일어난다. 이때, 어드레스전극(62X)에는 오방전을 방지하기 위한 직류전압이 공급된다. 어드레스 기간에는 트리거전극(54T)에 주사펄스를 순차적으로 공급함과 아울러 주사펄스에 동기된 데이터펄스를 어드레스전극(62X)에 공급한다. 이때, 데이터펄스가 공급된 방전셀에서는 어드레스방전이 일어난다. 한편, 주사펄스는 트리거전극(54T)과 함께 제 1 서스테인전극(52Y) 또는 제 2 서스테인전극(52Z)에 인가될 수 있다. 서스테인 기간에는 트리거전극(54T)에 트리거펄스가 공급됨과 아울러 제 1 및 제 2 서스테인전극(52Y, 52Z)에 서스테인 펄스가 인가된다. 도 7은 서스테인 기간에 각 전극들(52Y, 52Z, 54T)에 인가되는 서스테인 펄스를 나타내는 파형도이다.

<38> 도 7을 참조하면, 제 1 서스테인전극(S_y) 및 제 2 서스테인전극(S_z)에 교번적으로 서스테인펄스가 공급된다. 제 1 및 제 2 서스테인전극(S_y, S_z)에 서스테인펄스가 공급될 때 트리거전극(T)에는 서스테인펄스의 2배의 주파수를 가지는 트리거펄스가 공급된다. 이와 같은 트리거펄스는 제 1 및 제 2 서스테인전극(S_y, S_z)에

인가되는 서스테인필스와 동기되어 트리거전극(T)에 인가된다. 이때, 제 1 및 제 2 서스테인전극(S_y, S_z)에 인가되는 서스테인필스의 전압(V_y, V_z)은 동일한 반면 트리거전극(T)에 인가되는 트리거필스(T)의 전압(V_t)은 서스테인필스의 전압(V_y, V_z)보다 낮은 전압레벨을 갖는다. 이와 같은 서스테인필스 및 트리거필스가 인가되면, 도 8a 및 8b와 같이 제 1 서스테인전극(S_y) 및 트리거전극(T) 또는 제 2 서스테인전극(S_z) 및 트리거전극(T) 사이에 트리거방전이 일어난다. 이때, 트리거방전은 어드레스방전에 의해 선택된 방전셀들에서만 발생한다. 한편, 트리거전극(T)에 인가되는 트리거필스는 서스테인필스보다 낮은 전압레벨을 갖기 때문에 약한 트리거방전이 발생한다. 제 1 서스테인전극(S_y) 및 트리거전극(T) 또는 제 2 서스테인전극(S_z) 및 트리거전극(T) 사이에 트리거방전이 발생하면, 이때 생성된 하전입자들의 프라이밍 효과에 의해 제 1 서스테인전극(S_y) 및 제 2 서스테인전극(S_z) 간의 2차 방전이 유도된다. 즉, 본 발명에서는 미세방전인 트리거방전 만으로 서스테인 방전을 유도할 수 있다. 따라서, 종래의 전이방전 과정이 생략되므로 방전효율을 향상시킬 수 있다.

【발명의 효과】

<39> 상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널 및 그 구동방법에 의하면 서스테인전극쌍의 사이에 하나의 트리거전극을 형성한다. 이와 같은 트리거전극에는 서스테인필스의 2배의 주파수를 가지는 트리거필스가 인가되고, 이 트리거필스에 의해 서스테인전극쌍중 하나의 전극과 트리거전극간에 트리거방전을

일으킨다. 따라서, 본 발명에서는 트리거방전만으로 서스테인 방전을 유도할 수 있다. 또한, 서스테인펄스보다 낮은 전압레벨을 가지는 트리거펄스를 인가하므로 트리거방전의 약하게 발생한다. 즉, 트리거 방전이 없을 때보다 낮은 전압으로 긴 방전 경로를 확보할 수 있어서 플라즈마 디스플레이 패널의 발광효율을 향상시킬 수 있다.

<40> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

상부기판의 주변부에 형성되는 서스테인전극쌍과,

상기 상부기판의 중앙부에 형성되는 하나의 트리거전극을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 2】

리셋기간, 어드레스기간 및 서스테인기간을 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 리셋기간에 상부기판의 중심부에 형성되는 트리거전극에 리셋펄스가 공급되는 단계와,

상기 어드레스기간에 상기 트리거전극에 주사펄스가 공급되는 단계와,

상기 어드레스기간에 상기 상부기판과 대향되는 하부기판에 형성되는 어드레스전극에 상기 주사펄스에 동기되는 데이터펄스가 공급되는 단계와,

상기 서스테인기간에 상기 상부기판의 주변부에 형성되는 서스테인전극쌍에 서스테인펄스가 교번적으로 인가되는 단계와,

상기 서스테인기간에 상기 트리거전극에 트리거펄스가 인가되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 3】

제 2 항에 있어서,

상기 트리거펄스는 상기 서스테인펄스의 2배의 주파수를 가지는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 4】

제 3 항에 있어서,

상기 트리거펄스는 상기 서스테인전극쌍에 인가되는 서스테인펄스에 동기되어 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 5】

제 2 항에 있어서,

상기 트리거펄스는 상기 서스테인펄스보다 낮은 전압레벨을 가지는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

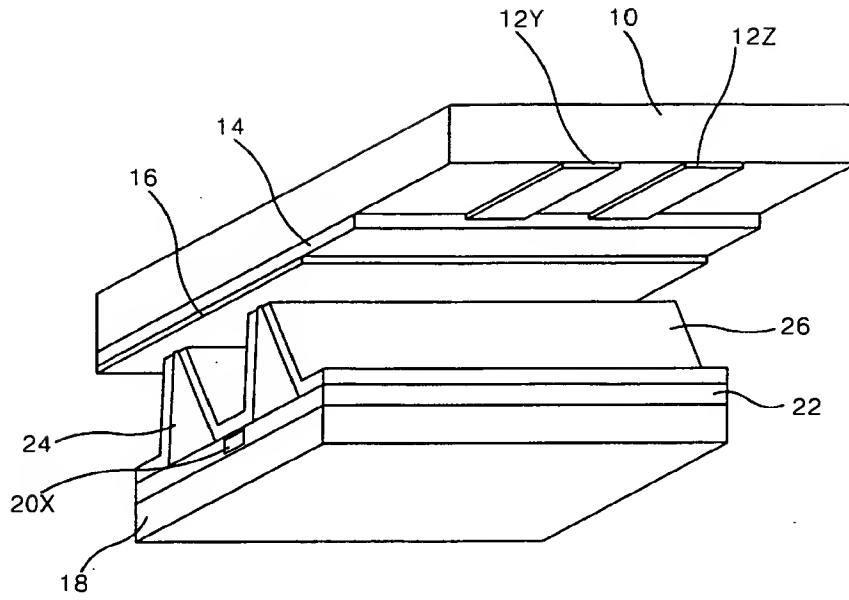
【청구항 6】

제 2 항에 있어서,

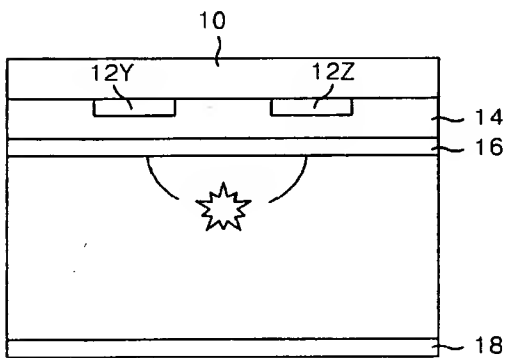
상기 어드레스기간에 상기 서스테인전극쌍중 하나의 전극에 상기 주사펄스가 공급되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【도면】

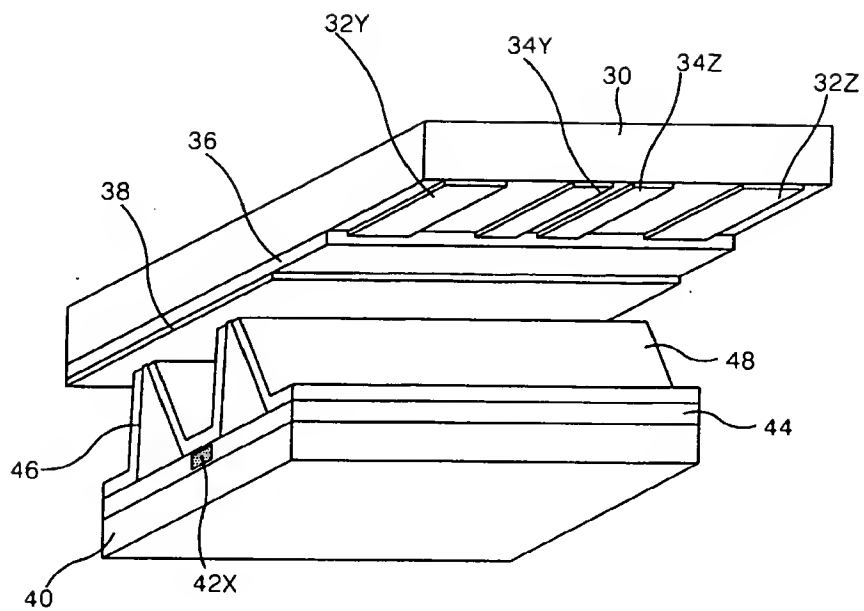
【도 1】



【도 2】



【도 3】



The diagram illustrates the timing sequence for a 3-phase motor drive system. It shows the relationship between various control signals and the motor's operating phases.

Signals and Phases:

- X 0:** A signal that is high during the **리셋기간** (Reset Period) and low during the **어드레스기간** (Address Period) and **서스테인기간** (Sustain Period).
- Ty 0:** A signal that is high during the **리셋기간** and low during the **어드레스기간** and **서스테인기간**.
- Tz 0:** A signal that is high during the **리셋기간** and low during the **어드레스기간** and **서스테인기간**.
- Sy 0:** A signal that is high during the **리셋기간** and low during the **어드레스기간** and **서스테인기간**.
- Sz 0:** A signal that is high during the **리셋기간** and low during the **어드레스기간** and **서스테인기간**.
- Vs...:** A signal that is high during the **리셋기간** and low during the **어드레스기간** and **서스테인기간**.

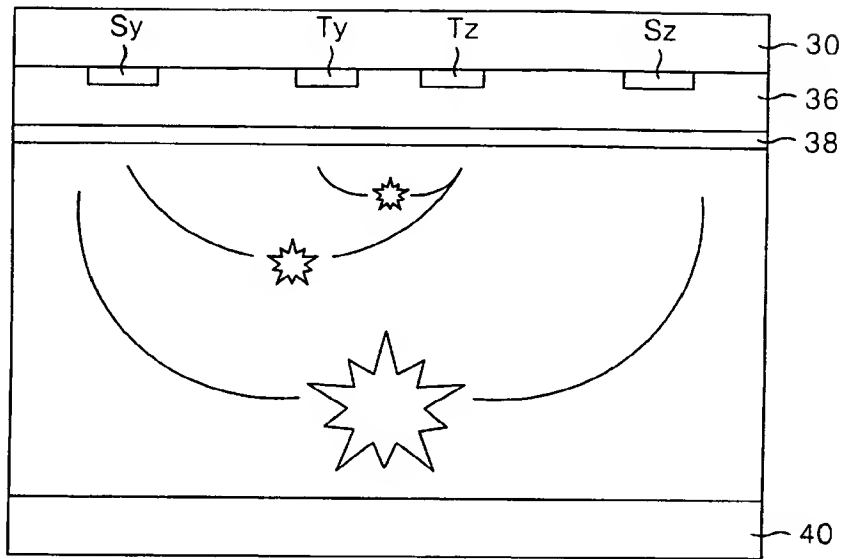
Motor Phases:

- Vt...:** A signal that is high during the **리셋기간** and low during the **어드레스기간** and **서스테인기간**.
- Vt...:** A signal that is high during the **리셋기간** and low during the **어드레스기간** and **서스테인기간**.
- Vt...:** A signal that is high during the **리셋기간** and low during the **어드레스기간** and **서스테인기간**.

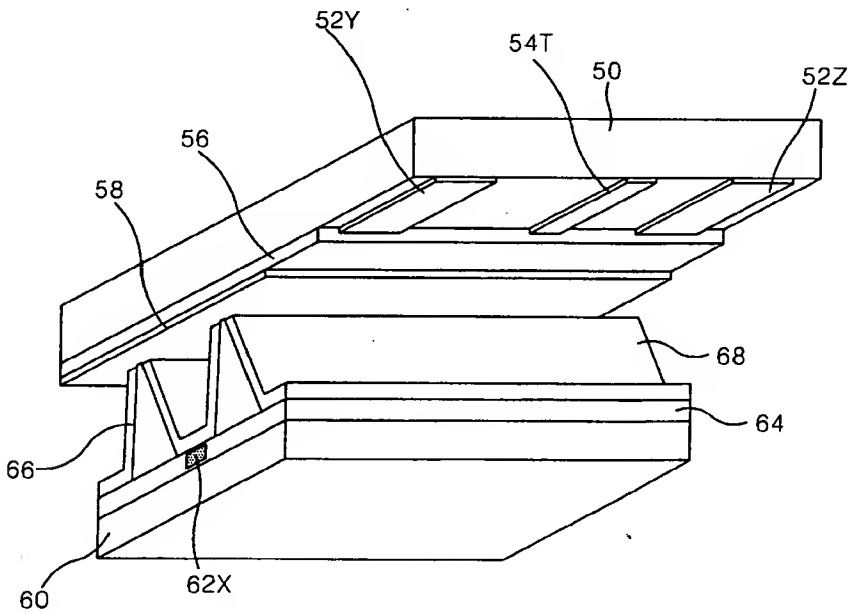
Motor Schematic:

The diagram shows a 3-phase motor with three windings, each represented by a series of 'X' marks. The windings are labeled **C1**, **C2**, and **C3**. A fourth winding, labeled **Cn**, is also shown. The motor is connected to a power source **Vs...** and a ground reference **Vt...**.

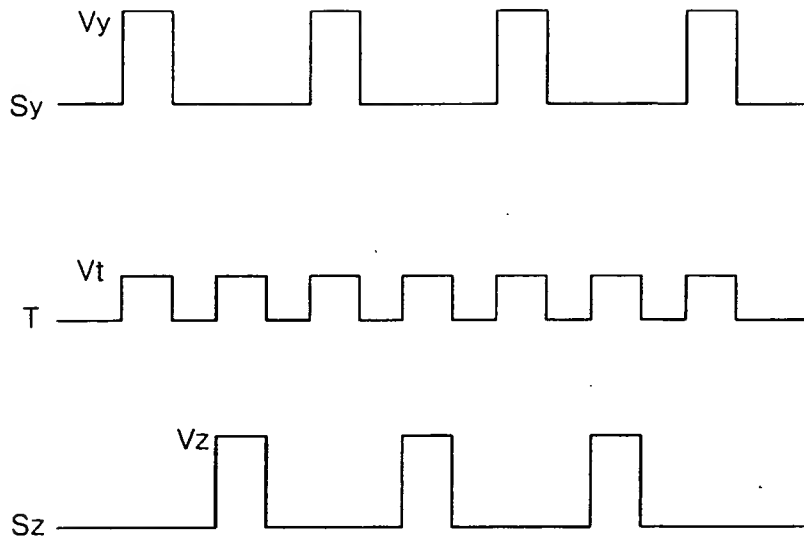
【도 5】



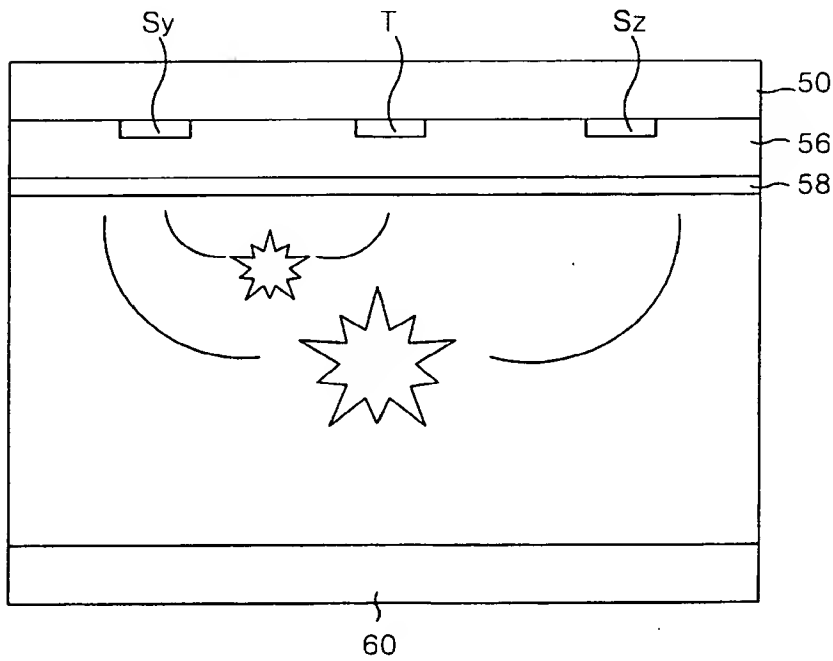
【도 6】



【도 7】



【도 8a】



【도 8b】

